



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06052674 A**(43) Date of publication of application: **25.02.94**

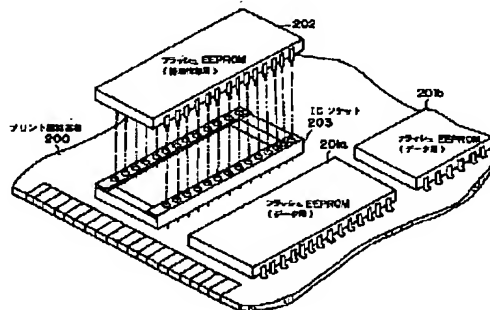
(51) Int. Cl.

G11C 5/04**G06K 19/077****G11C 5/00**(21) Application number: **04203648**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **30.07.92**(72) Inventor: **TERASAWA MICHIOYUKI**(54) **DATA STORAGE DEVICE**

(57) Abstract:

PURPOSE: To maintain a flash EEPROM at a lower cost by only exchanging the control information write region in which frequent data rewrites occur.

CONSTITUTION: Flash EEPROMs 201a, 201b,... of a first mass-storage unit are packaged on a printed circuit board 200 and a flash EEPROM 202 of a second mass-storage unit is also packaged on the board 200. In this case, the flash EEPROM 202 of the second mass-storage unit 131 is packaged through an IC socket 203 so that it is freely attachable and detachable. Thus, the flash EEPROM 202, in which a control information is stored, is easily exchanged in terms of a chip unit. Therefore, a mass-storage subsystem is maintained at a lower cost.



COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-52674

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 5/04		6741-5L		
G 0 6 K 19/077				
G 1 1 C 5/00	3 0 2 Z	6741-5L	G 0 6 K 19/ 00	K
		8623-5L		

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-203648

(22)出願日 平成4年(1992)7月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 寺沢 通幸

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

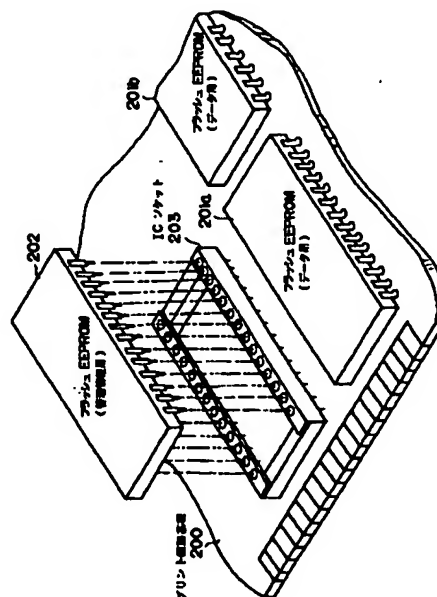
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 データ記憶装置

(57)【要約】

【目的】データ書き替えが頻繁に発生する管理情報の書き込み領域だけを個別に交換できるようにし、フラッシュEEPROMの維持を低コストで実現する。

【構成】第1のマストストレージユニットのフラッシュEEPROM201a, 201b, …はプリント回路基板200上に実装されており、また第2のマストストレージユニットのフラッシュEEPROM202もそのプリント回路基板200上に実装されている。この場合、第2のマストストレージユニット131のフラッシュEEPROM202は、ICソケット203を介して着脱自在に実装されている。したがって、管理情報が記憶されるフラッシュEEPROM202をチップ単位で容易に交換することができるので、マストストレージサブシステムの維持を低コストで実現することができる。



【特許請求の範囲】

【請求項1】 フラッシュEEPROMから構成されるデータ記憶装置において、

プログラムまたはデータ等のユーザ情報が格納される複数のフラッシュEEPROMから構成される第1のメモリユニットと、

この第1のメモリユニットの前記各フラッシュEEPROMと独立して設けられ、前記第1のメモリユニットの各フラッシュEEPROMの書き込み許容残り回数をチップ単位あるいはブロック単位で管理するための管理情報が格納されるフラッシュEEPROMから構成される第2のメモリユニットとを具備し、

この第2のメモリユニットは、前記データ記憶装置に交換可能に設けられていることを特徴とするデータ記憶装置。

【請求項2】 前記第1のメモリユニットの前記各フラッシュEEPROMおよび前記第2のメモリユニットの前記フラッシュEEPROMは同一回路基板上に実装され、前記第2のメモリユニットの前記フラッシュEEPROMは前記回路基板上にICソケットを介して着脱自在に実装されていることを特徴とする請求項1記載のデータ記憶装置。

【請求項3】 前記第1および第2のメモリユニットのフラッシュEEPROMはそれぞれ異なる回路基板上に実装され、第2のメモリユニットのフラッシュEEPROMが実装された回路基板は、前記第2のメモリユニットのフラッシュEEPROMが実装されている回路基板上に設けられた拡張用スロットを介して着脱自在に装着されていることを特徴とする請求項1記載のデータ記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はデータ記憶装置に関し、特にフラッシュEEPROMを使用したデータ記憶装置に関する。

【0002】

【従来の技術】 フラッシュEEPROMを使用した大容量のデータ記憶装置を備えたワークステーション等の従来のデータ処理装置の構成を図5に示す。図5に示されているように、このデータ処理装置は、データ処理装置の全般的な制御を行なうマイクロプロセッサユニット

(MPU) 1と、このマイクロプロセッサユニット(MPU) 1の動作を規定するプログラムあるいは処理データを格納するメインメモリ(MM) 2と、フラッシュEEPROMから構成されるマストレージサブシステム(MSS) 3と、データ入力のためのキーボード(KB) 4と、表示装置の表示制御を行なうディスプレイコントローラ(DC) 5と、CRTやLCDから構成される表示装置6とを備えている。

【0003】 マストレージサブシステム(MSS) 3

は、従来のハードディスク装置に代わって使用される大容量外部記憶装置であり、複数のフラッシュEEPROMから構成されている。このようにフラッシュEEPROMを使用したマストレージサブシステム(MSS) 3は、ハードディスク装置に比べ、高速性、高信頼性、対衝撃性等の点で優れており、メモリボード、メモリカード、または、ハードディスク装置と同一インターフェースを持つシリコンディスク装置として種々開発されつつある。

【0004】 ところで、このようなマストレージサブシステム(MSS) 3においては、フラッシュEEPROMに書き込み許容回数の制限が存在し、現状ではその書き込み回数は10万回あるいは100万回等の値に制限されている。このため、フラッシュEEPROMを使用したマストレージサブシステム(MSS) 3には寿命が短いという問題が存在し、このことは実用化する上で大きな障壁となっている。

【0005】 そこで、最近では、マストレージサブシステム(MSS) 3の見かけ上の寿命の延命のために、フラッシュEEPROMのチップあるいはブロック等の書き込み単位に応じて、その書き込み回数をマストレージサブシステム(MSS) 3全体として均等になるようにユーザデータの書き込み領域をずらすような制御上の工夫がなされている。

【0006】 しかしながら、フラッシュEEPROMにはユーザデータだけではなく、書き込み許容回数やその領域管理等のための管理情報を特定領域に書き込む必要があるもので、前述のようにユーザデータの書き込み領域をずらすような制御を行なったとしても、その管理情報の書き込みによって書き込み許容残回数の減少が加速されるという問題がある。

【0007】 このように、従来では、管理情報格納領域の書き込み回数が書き込み許容回数に到達すると、管理情報格納領域外では十分な書き込み許容残回数があったとしてもマストレージサブシステム(MSS) 3におけるフラッシュEEPROMを全て交換しなくてはならないという欠点があった。

【0008】

【発明が解決しようとする課題】 従来では、書き込み許容残回数等を管理するための管理情報の格納領域が寿命を迎えると、マストレージサブシステムを構成する全てのフラッシュEEPROMを交換しなければならないという欠点があった。

【0009】 この発明はこのような点に鑑みてなされたもので、管理情報の書き込み領域だけを個別に交換できるようにして、フラッシュEEPROMから構成されるデータ記憶装置全体の維持を低コストで実現することができるデータ記憶装置を提供することを目的とする。

【0010】

【課題を解決するための手段および作用】 この発明は、

フラッシュEEPROMから構成されるデータ記憶装置において、プログラムまたはデータ等のユーザ情報が格納される複数のフラッシュEEPROMから構成される第1のメモリユニットと、この第1のメモリユニットの前記各フラッシュEEPROMと独立して設けられ、前記第1のメモリユニットの各フラッシュEEPROMの書き込み許容残り回数をチップ単位あるいはブロック単位で管理するための管理情報が格納されるフラッシュEEPROMから構成される第2のメモリユニットとを具備し、この第2のメモリユニットは、前記データ記憶装置に交換可能に設けられていることを特徴とする。

【0011】このデータ記憶装置においては、書き込み許容残り回数を管理するための管理情報はデータ記憶部のフラッシュEEPROMと異なるフラッシュEEPROMに格納されており、管理情報記憶部がデータ記憶部と独立した構成になっている。従って、管理情報記憶部をデータ記憶部と独立して個別に交換でき、フラッシュEEPROMから構成されるデータ記憶装置全体の維持を低コストで実現することができる。

【0012】

【実施例】以下、図面を参照してこの発明の実施例を説明する。

【0013】図1にはこの発明の一実施例に係わるマストレージサブシステムを利用したワークステーション全体の構成が示されている。図示のように、このワークステーションは、システムバス10と、ワークステーションのシステム全体の制御を行なうCPUであるマイクロプロセッサユニット(MPU)11と、このマイクロプロセッサユニット(MPU)11の動作を規定するプログラムあるいは処理データを格納するメインメモリ(MM)12と、フラッシュEEPROMから構成されるマストレージサブシステム(MSS)13と、データ入力のためのキーボード(KB)14と、表示装置の表示制御を行なうディスプレイコントローラ(DC)15と、CRTやLCDから構成される表示装置16とを備えている。

【0014】マストレージサブシステム(MSS)13は、従来のハードディスク装置等の磁気ディスク装置に代わって使用される外部記憶装置であり、第1および第2のマストレージユニット(MSS-1)131、40 (MSS-2)132を備えている。

【0015】第1のマストレージユニット(MSS-1)131は、複数のフラッシュEEPROMから構成される大容量メモリであり、プログラムまたはデータ等のユーザ情報の記憶に利用される。第2のマストレージユニット(MSS-2)132は、1個のまたは複数個のフラッシュEEPROMから構成されるメモリであり、第1のマストレージユニット(MSS-1)131の各フラッシュEEPROMおよび自身のフラッシュEEPROMの書き込み許容残り回数をチップ単位ある

いはブロック単位で管理するための管理情報、およびデータ格納領域管理のための管理情報の記憶領域として利用される。このデータ格納領域管理のための管理情報は、磁気ディスク装置に於けるファイルアロケーションテーブルに相当するものである。

【0016】この第2のマストレージユニット(MSS-2)132は、第1のマストレージユニット(MSS-1)131と独立して設けられており、第2のマストレージユニット(MSS-2)132単体で個別に交換できるように構成されている。

【0017】図2には、第1のマストレージユニット(MSS-1)131の各フラッシュEEPROMの書き込み許容残り回数をブロック単位で管理する場合の管理情報の一例が示されている。

【0018】すなわち、第2のマストレージユニット(MSS-2)132のフラッシュEEPROMには、第1のマストレージユニット(MSS-1)131を構成するm個のフラッシュEEPROMそれぞれについてブロック単位で書き込み許容残り回数が登録されている。このブロックは、第1のマストレージユニット(MSS-1)131の各フラッシュEEPROMのデータ書き替え単位となるものである。また、図示されていないが、第2のマストレージユニット(MSS-2)132のフラッシュEEPROMには、自身のフラッシュEEPROMについてブロック単位で書き込み許容残り回数を管理するための情報と、第1および第2のマストレージユニット131、132におけるデータ格納領域の配置位置等を示す管理情報が登録される。

【0019】このように構成されたマストレージサブシステム(MSS)13においては、例えば、第1のマストレージユニット(MSS-1)131のフラッシュEEPROMに対する書き込みがある特定のチップやブロックに集中すると、その部分は他の領域との相対比較では寿命が早く訪れることになる。従って、部分的に使用不可能な領域が出現し、全体容量が減じてくる。

【0020】これを防止するために、マストレージサブシステム(MSS)13への書き込みに際し、マイクロプロセッサユニット(MPU)11は、第2のマストレージユニット(MSS-2)132の管理情報を参照して、第1のマストレージユニット(MSS-1)131のフラッシュEEPROMにおいてブロックまたはチップレベルで最も書き込み許容残り回数が多い領域を探して書き込むという制御を行なう。これによって、ある一部の領域だけが寿命を早く迎えるといった事態を防ぐことができる。

【0021】ところが、このような制御を行なった場合でも、第2のマストレージユニット(MSS-2)132のフラッシュEEPROMについては、管理情報の更新が必要とされるため、第1のマストレージユニット(MSS-1)131のフラッシュEEPROMに対

するユーザデータの書き込みよりも書き込み頻度が増大される。このため、第2のマストレージユニット(MSS-2)132のフラッシュEEPROMは、第1のマストレージユニット(MSS-1)131のフラッシュEEPROMよりも早く寿命を迎えることになる。

【0022】この場合、この実施例のマストレージサブシステム(MSS)13においては、前述したように第2のマストレージユニット(MSS-2)132を個別に交換できるように構成されているため、第2のマストレージユニット(MSS-2)132だけを交換するだけで済み、第1のマストレージユニット(MSS-1)131のフラッシュEEPROMをそのまま利用することができる。次に、図3および図4を参照して、マストレージサブシステム13の具体的な構成例を説明する。

【0023】図3の例では、管理情報が記憶されるフラッシュEEPROMがチップ単位で交換できるように構成されている。すなわち、図示のように、第1のマストレージユニット(MSS-1)131のフラッシュEEPROM201a, 201b, …はプリント回路基板200上に実装されており、また第2のマストレージユニット(MSS-2)132のフラッシュEEPROM202もそのプリント回路基板200上に実装されている。この場合、第2のマストレージユニット(MSS-2)131のフラッシュEEPROM202は、ICソケット203を介して着脱自在に実装されている。

【0024】この構成に於いては、管理情報が記憶されるフラッシュEEPROM202をチップ単位で容易に交換することができるので、マストレージサブシステム(MSS)13の維持を低コストで実現することができる。図4の例では、第2のマストレージユニット(MSS-2)132がボード単位で交換できるように構成されている。

【0025】すなわち、図示のように、第1のマストレージユニット(MSS-1)131のフラッシュEEPROM301a, 301b, 301c, 301d, …は、プリント回路基板300上に実装されている。また、このプリント回路基板300上には、拡張基板装着用のスロット302が設けられている。第2のマストレージユニット(MSS-2)132のフラッシュEEPROM401a, 401bは、拡張基板400上に実装されている。この拡張基板400は、スロット302を介して着脱自在にプリント回路基板300に装着される。

【0026】この構成に於いては、管理情報が記憶されるフラッシュEEPROM401a, 401b, …が実装された拡張基板400をその基板単位で容易に交換することができるので、マストレージサブシステム13の維持を低コストで実現することができる。

【0027】以上のように、この実施例のマストレージサブシステム(MSS)13においては、書き込み許容残り回数を管理するための管理情報はデータ記憶部のフラッシュEEPROMと異なるフラッシュEEPROMに格納されており、管理情報記憶部として利用される第2のマストレージユニット(MSS-2)132はデータ記憶部として利用される第1のマストレージユニット(MSS-1)131と独立した構成になっている。従って、第2のマストレージユニット(MSS-2)132を大容量の第1のマストレージユニット(MSS-1)131と独立して個別に交換でき、フラッシュEEPROMから構成されるマストレージサブシステム(MSS)13全体の維持を低コストで実現することができる。

【0028】

【発明の効果】以上詳記したようにこの発明によれば、管理情報の書き込み領域だけを個別に交換できるようになり、フラッシュEEPROMから構成されるデータ記憶装置全体の維持を低コストで実現することができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るデータ記憶装置が設けられるコンピュータシステムの全体の構成を示すブロック図。

【図2】同実施例のデータ記憶装置における記憶内容の一例を示す図。

【図3】同実施例のデータ記憶装置の具体的構造の一例を示す図。

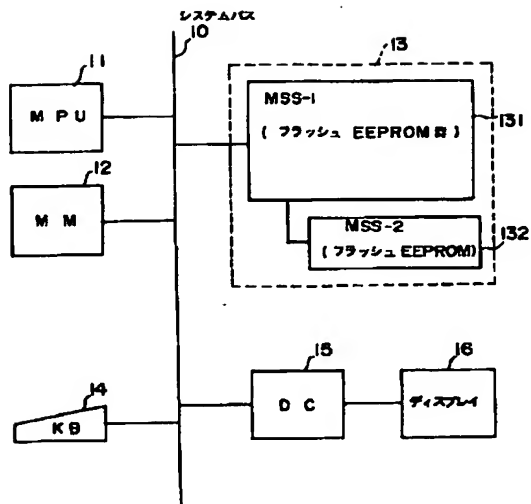
【図4】同実施例のデータ記憶装置の具体的構造の他の例を示す図。

【図5】従来のデータ記憶装置を利用したコンピュータシステムの全体の構成を示すブロック図。

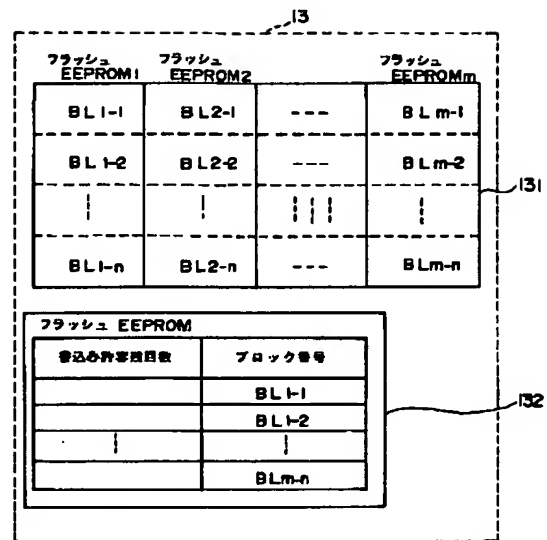
【符号の説明】

11…マイクロプロセッサユニット、12…メインメモリ、13…マストレージサブシステム、131, 132…マストレージユニット、200…プリント回路基板、201a, 201b…ユーザデータ記憶用のフラッシュEEPROM、202…管理情報記憶用のフラッシュEEPROM、203…ICソケット。

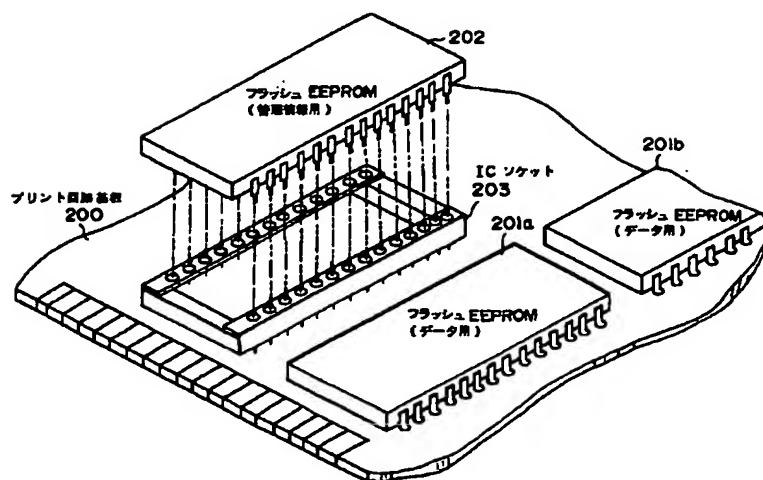
【図1】



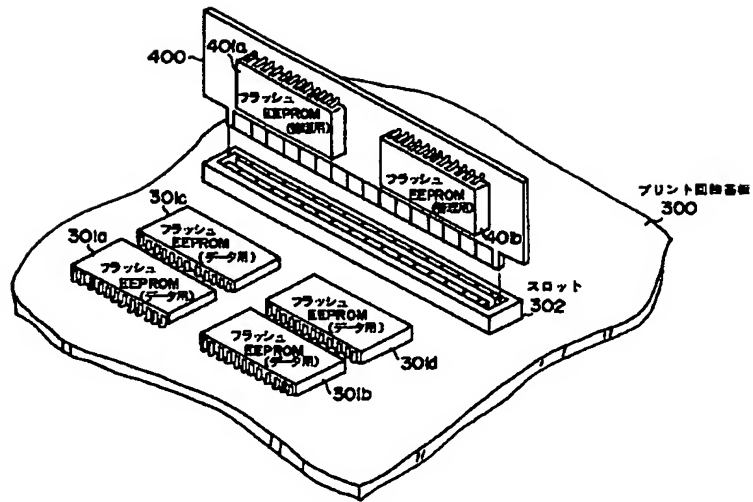
【図2】



【図3】



【図4】



【図5】

